

## FORMATION OF DIELECTRIC FILM

Publication number: JP9115898

Publication date: 1997-05-02

Inventor: HASEGAWA TOSHIKI

Applicant: SONY CORP

Classification:

- international: H01L21/768; H01L21/31; H01L21/312; H01L23/522;  
H01L21/70; H01L21/02; H01L23/52; (IPC1-7):  
H01L21/312; H01L21/31; H01L21/768

- European:

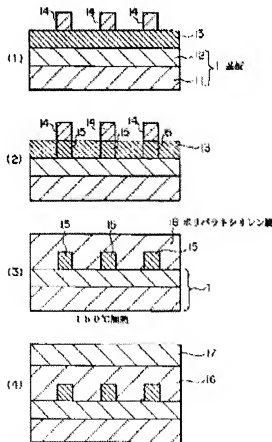
Application number: JP19950273838 19951023

Priority number(s): JP19950273838 19951023

Report a data error here

## Abstract of JP9115898

**PROBLEM TO BE SOLVED:** To prevent the release of a gas, noxious to the manufacture of a semiconductor device, from a material having not yet been reacted. **SOLUTION:** When a dielectric film, whose main component being polyparaxylylene, is formed on a substrate 1 by chemical vapor growth, the substrate 1 is held at a predetermined temperature in a range not lower than 100 deg.C and not higher than 300 deg.C, and a polyparaxylylene film 16 is formed to be a dielectric film. Further, after the polyparaxylylene film 16 is formed on the substrate 1 by chemical vapor growth, that substrate 1 is annealed at a predetermined temperature in a range not lower than 150 deg.C and not higher than 300 deg.C.



Data supplied from the esp@cenet database - Worldwide

特開平9-115898

(43) 公開日 平成9年(1997)5月2日

(51) Int.Cl. <sup>8</sup>	識別記号	序内整理番号	F I	技術表示箇所	
H 0 1 L	21/312		H 0 1 L	21/312	A
	21/31			21/31	B
	21/768			21/90	S
					P

審査請求 未請求 請求項の数 6 O L (全 7 頁)

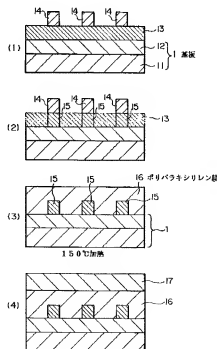
(21) 出願番号	特願平7-273838	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成7年(1995)10月23日	(72) 発明者	長谷川 利昭 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74) 代理人	弁理士 船橋 國則

## (54) 【発明の名称】 誘電体膜の成膜方法

## (57) 【要約】

【課題】 基板を加熱せずに化学的気相成長法によってポリパラキシリレンを成膜する従来の技術では、成膜後のポリパラキシリレンに対して熱工程を行うと未反応材料から半導体装置製造にとって有害なガスが放出される。

【解決手段】 基板1にポリパラキシリレンを主体とする誘電体膜を化学的気相成長法によって成膜する際に、基板1の温度を100℃以上300℃以下の温度範囲の所定温度に保持して、誘電体膜となるポリパラキシリレン膜16を成膜する。また、化学的気相成長法によって基板1にポリパラキシリレン膜16を成膜した後、その基板1を150℃以上300℃以下の温度範囲の所定温度でアニーリングする。



第1の発明に係わる実施形態の製造工程図

## 【特許請求の範囲】

【請求項1】 基板にポリバキシリレンを主体とする誘電体膜を化学的気相成長法によって成膜する誘電体膜の成膜方法において、

前記化学的気相成長時の前記基板の温度を、100℃以上300℃以下の温度範囲の所定温度に保つことを特徴とする誘電体膜の成膜方法。

【請求項2】 基板にポリバキシリレンを主体とする誘電体膜を化学的気相成長法によって成膜する誘電体膜の成膜方法において、

前記誘電体膜を成膜した基板を150℃以上300℃以下の温度範囲の所定温度でアニリングすることと特徴とする誘電体膜の成膜方法。

【請求項3】 基板にポリバキシリレンを主体とする誘電体膜を化学的気相成長法によって成膜する誘電体膜の成膜方法において、

前記化学的気相成長時の前記基板の温度を100℃以上300℃以下の温度範囲の所定温度に保って前記誘電体膜を成膜した後、前記基板を150℃以上300℃以下の温度範囲の所定温度でアニリングすることと特徴とする誘電体膜の成膜方法。

【請求項4】 請求項1記載の誘電体膜の成膜方法において、

前記化学的気相成長法に用いる原料ガスは、フッ素原子および塩素原子のうちの少なくとも一方を含むことを特徴とする誘電体膜の成膜方法。

【請求項5】 請求項2記載の誘電体膜の成膜方法において、

前記化学的気相成長法に用いる原料ガスは、フッ素原子および塩素原子のうちの少なくとも一方を含むことを特徴とする誘電体膜の成膜方法。

【請求項6】 請求項3記載の誘電体膜の成膜方法において、

前記化学的気相成長法に用いる原料ガスは、フッ素原子および塩素原子のうちの少なくとも一方を含むことを特徴とする誘電体膜の成膜方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造工程に係わる誘電体膜の成膜方法に関するものである。

## 【0002】

【従来の技術】半導体装置の微細化、低消費電力化および高速化などの要求にともない、それらを実現するための手段の一つとして層間絶縁膜の低誘電率化が検討されている。現在開示されている低誘電率材料は、炭素原子およびフッ素原子を含有することで誘電率を下げている。そして現在では誘電率が1.5〜2.5程度のものが実現されている。

【0003】炭素原子を含む低誘電率材料としては、有機SiOG (Spin on glass)、ポリイミド、ポリバキ

シリレンなどが知られている。これらの材料は、①炭素原子、いわゆるアルキル基を含むことで、材料の密度を下げることで、および、②分子自身の分極率を下げることで、低誘電率になっているものといわれている。また、これらの材料は単に誘電率が低いだけではなく半導体装置の材料として必要な耐熱性を有している。有機SiOGはシロキサン構造を持つことで、ポリイミドはイミド結合を有することで、ポリバキシリレンはベンゼン環のポリマーとなることで、それぞれ耐熱性を有している。

【0004】一方、フッ素原子を含む低誘電体は酸フッ化ケイ素(SiOF)が有名である。この材料は、シリコン(Si)-酸素(O)-シリコン(Si)結合でフッ素(F)原子により終端することで、①密度を下げることで、②フッ素自身の分極率が低いことなどが原因となって誘電率を下げている。もちろん、この材料も耐熱性に優れている。

【0005】また最近では、半導体装置に有害なフッ素を用いずに既に従来の半導体装置に用いられているホウ素(B)を用いて誘電率を下げるという検討も行われている。ホウ素も前述のフッ素原子と同様に、①ホウ素自身の分極率が低いこと、②シリコン(Si)-酸素(O)-シリコン(Si)結合というネットワークを短くすること、③密度を下げるなどが原因となって誘電率を下げている。

## 【0006】

【発明が解決しようとする課題】従来の低誘電率材料のうち、ポリバキシリレンはベンゼン環構造を有することで耐熱性を保持している。しかしながら、ポリバキシリレン膜中には未反応の原料が残っているため、200℃〜300℃という低い温度においても炭素(C)系のガスが脱離するという問題があった。

【0007】ポリバキシリレンは、原料である粉状のジバキシリレン(Bi-Para-Xylylene)を250℃で昇華させ、680℃でパラキシリレン(Para-Xylylene)に分解し、このガスを基板に吹きつけることによって得ていた。このとき、従来は、基板の温度を25℃程度に保持していた。これは、ガスと基板との温度差を付けることで吸着効率を高めて、成膜速度を高めるためである。

【0008】このような製法で成膜したポリバキシリレン膜をTDS(Thermal Desorption Spectroscopy)分析装置(基板を加熱して脱離するガスを質量分析する装置)を用いて分析した。その分析結果を図7によって説明する。この図では、縦軸は $m/Z = 16$ のQ-Massのイオン電流値(arbitrary unit)を示し、横軸は基板温度を示す。ここで、 $m$ は分子量、 $Z$ はイオン価数を表している。図7に示すように、150℃付近から250℃付近にかけて原料ガスの脱離に相当するピークが現れ、300℃を越えると350℃付近でポリバキシリレンの分解にともなうピークが現れた。この分析からわかる

るように、25℃程度の基板温度で形成した膜は、150℃という低温でガスが放出された。

【0009】本発明は、ポリバラキシリレンの成膜中の基板温度を制御することによって有害な未反応材料からの脱ガスの防止を図るのに優れた誘電体膜の成膜方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は、上記目的を達成するためになされた誘電体膜の成膜方法である。すなわち、第1の方法は、化学的气相成長法によって、基板にポリバラキシリレンを主体とする誘電体膜を成膜する際に、基板の温度を100℃以上300℃以下の温度範囲の所定温度に保つ。

【0011】第2の方法は、化学的气相成長法によって、基板にポリバラキシリレンを主体とする誘電体膜を成膜した後に、その基板を150℃以上300℃以下の温度範囲の所定温度でアニーリングする。

【0012】第3の方法は、化学的气相成長法によって、基板にポリバラキシリレンを主体とする誘電体膜を成膜する際に、基板の温度を100℃以上300℃以下の温度範囲の所定温度に保って誘電体膜を成膜し、その後、基板を150℃以上300℃以下の温度範囲の所定温度でアニーリングする。

【0013】上記第1の方法では、化学的气相成長法によってポリバラキシリレンを主体とする誘電体膜を成膜する際に、基板温度を100℃以上300℃以下の温度範囲の所定温度に保って成膜することから、誘電体膜の内部に未反応な原料ガスが脱離する。そのため、誘電体膜の内部には未反応なガスは残らない。また、上記温度範囲では、ポリバラキシリレンは分解されない。一方、成膜時の基板温度を100℃よりも低い温度にすると、成膜時に未反応なガスの脱離が十分に行われない。他方、300℃を超える基板温度で成膜すると、ポリバラキシリレンが分解する。そのため、ポリバラキシリレンを主体とする誘電体膜の成膜ができなくなる。よって、上記基板温度は上記範囲に設定されるのが好ましい。

【0014】上記第2の方法では、化学的气相成長法によって基板にポリバラキシリレンを主体とする誘電体膜を成膜した後、基板を150℃以上300℃以下の温度範囲の所定温度でアニーリングすることから、誘電体膜から未反応な原料ガスが脱離する。そのため、誘電体膜の内部には未反応な原料ガスが残らない。また、上記温度範囲では、ポリバラキシリレンは分解されない。一方、上記アニーリングの温度を150℃よりも低い温度にすると、誘電体膜からの未反応なガスの脱離が十分に行われない。他方、300℃を超える温度でアニーリングすると、ポリバラキシリレンが分解してしまう。よって、アニーリング時の基板温度は上記範囲に設定されるのが好ましい。

【0015】上記第3の方法では、化学的气相成長法によって基板にポリバラキシリレンを主体とする誘電体膜を成膜する際に、基板の温度を100℃以上300℃以下の温度範囲の所定温度にして成膜し、その後基板を150℃以上300℃以下の温度範囲の所定温度でアニーリングすることから、誘電体膜から未反応な原料ガスが脱離する。そのため、誘電体膜の内部には未反応な原料ガスが残らない。そして上記温度範囲に設定したのは、上記第1、第2の方法と同様の理由からである。

【0016】

【発明の実施の形態】第1の発明に係る実施形態（以下、第1実施形態という）の一例を、図1によって説明する。図1の（1）に示すように、基板1は、シリコン基板11とその表面に形成した例えば500nmの厚さの酸化シリコン膜12からなる。上記酸化シリコン膜12の成膜方法は、一般的なモジシラン（ $\text{SiH}_4$ ）と酸素（ $\text{O}_2$ ）とを原料ガスに用いた化学的气相成長（以下、CVDという。CVDはChemical Vapour Depositionの略）による。続いて例えばスパッタリングによって酸化シリコン膜12上に配線層13を形成した。配線層13の材料には、アルミニウム-シリコン合金を用いた。その後、一般的なリソグラフィ技術（例えば、レジスト塗布、露光、現像、ベーク等）の処理によって、レジストマスク14を形成する。

【0017】次いで図1の（2）に示すように、上記レジストマスク14を用いたエッチング技術によって、配線層13の2点鎖線で示す部分を除去し、配線層15を形成した。その後、アッシング処理等のレジスト除去技術によって、レジストマスク14を除去した。

【0018】その後図1の（3）に示すように、上記配線層15を覆う状態に誘電体膜となるポリバラキシリレン膜16を例えば500nmの厚さに形成した。成膜装置には、一般的な減圧CVD装置（図示省略）を用い、原料にはジバラキシリレンを用いた。CVD時は、原料を200℃で昇華させ、途中、650℃でキシリレンモノマーに分解し、150℃に加熱して基板1上に導入した。その結果、およそ500nmの厚さのポリバラキシリレン膜16が成膜された。なお、成膜時の上記基板1の温度は、150℃に限定されることはなく、100℃以上300℃以下の温度範囲の所定温度に設定すればよい。そして好ましくは、150℃以上250℃以下の温度範囲の所定温度に設定する。

【0019】さらに図1の（4）に示すように、ポリバラキシリレン膜16上に、酸化シリコン膜17を上記（1）で説明したのと同様の方法（CVD法）によって、500nmの厚さに形成した。

【0020】上記第1実施形態で説明した成膜方法では、成膜する際の基板1の温度を100℃以上300℃以下の温度範囲の所定温度にして成膜することから、ポリバラキシリレン膜16の内部から未反応な原料ガスが

脱離した。そのため、ポリバラキシレン膜16の内部には未反応なガスは残らなかった。また、上記温度範囲では、ポリバラキシレン膜16は分解されなかった。一方、成膜時の基板温度を100℃よりも低い温度にすると、成膜時に未反応なガスの脱離が十分に行われなかった。他方、300℃を超える基板温度で成膜すると、ポリバラキシレンが分解した。そのため、ポリバラキシレン膜16の成膜ができなかった。よって、上記基板温度は上記範囲に設定されるのが好ましい。

【0021】上記のように成膜時の基板温度を高く設定するとは、ポリマーの重合反応を促進させる効果と、いわゆるin-situでアニーリングを行うという二つの効果がある。上記第1実施形態で説明した方法によって成膜したポリバラキシレン膜16をTDS分析した。その結果、150℃での原料ガスの脱離のピークは現れず、350℃以上の分解にともなうピークだけが出現した。

【0022】次に第2の発明に係る実施形態（以下、第2実施形態という）の一例を、図2によって説明する。なお、上記図1で説明したのと同様の構成部品には同一符号を付す。

【0023】この第2実施形態は上記図1によって説明した第1実施形態において、ポリバラキシレン膜16の成膜方法以外の工程は、上記第1実施形態の他の工程と同様である。したがって、ここではポリバラキシレン膜16の別の成膜方法を説明する。

【0024】成膜装置（図示省略）には、一般的な減圧CVD装置を用い、原料としてはジバラキシレンを用いた。CVD時は、原料を200℃に加熱して昇華させ、途中、650℃でキシレンモノマーに分解し、室温（例えば、25℃）の基板に導入した。その結果、図2の（1）に示すように、およそ500nmの厚さのポリバラキシレン膜16が堆積された。この方法の特徴とする点は、先に説明した第1実施形態よりも成膜速度が速いことである。

【0025】その後図2の（2）に示すように、上記処理を行った基板1を、250℃の窒素（N<sub>2</sub>）雰囲気中で30分間のアニーリングを行った。これにより、原料ガスの未反応状態のものがポリバラキシレン膜16中から除去された。上記アニーリングの温度は、250℃に限定されることなく、150℃以上300℃以下の温度範囲の所定温度に設定すればよい。そして好ましくは、220℃以上270℃以下の範囲の所定温度に設定する。上記アニーリングの結果、ポリバラキシレン膜16を300℃まで加熱しても脱ガスを発生しない膜になった。

【0026】上記第2の方法では、基板1にポリバラキシレン膜16を成膜した後、基板1を150℃以上300℃以下の温度範囲の所定温度（上記第2実施形態では250℃）でアニーリングしたことから、ポリバラキシレン膜16から未反応な原料ガスが脱離した。その

ため、ポリバラキシレン膜16の内部には未反応な原料ガスが残らなかった。また、上記温度範囲では、ポリバラキシレン膜16は分解されなかった。一方、アニーリングの温度を150℃よりも低い温度に設定すると、ポリバラキシレン膜16からの未反応なガスの脱離が十分に行われなかった。他方、300℃を超える温度でアニーリングすると、ポリバラキシレンが分解された。よって、アニーリング時の基板温度は上記温度範囲に設定されるのが好ましい。

【0027】次にアニーリングに関し、アニーリング時の基板温度、アニーリング時間、アニーリング雰囲気との圧力変化等を調べた。図3はアニーリング時の基板温度とアニーリング時間との関係を示し、この図の縦軸はアニーリング時の基板温度を表し、横軸はアニーリング時間を表す。また図4はアニーリング雰囲気の圧力とアニーリング時間との関係を示し、この図の縦軸はアニーリング雰囲気の圧力を表し、横軸はアニーリング時間を表す。

【0028】図3および図4に示すように、50℃よりおよそ1.5分で150℃まで加熱し、その150℃に温度を保持した状態でおよそ9分間のアニーリングを行った。その結果、アニーリング雰囲気の圧力が上昇した。これはポリバラキシレン膜からのガスが放出されたのが原因といえる。さらに150℃からおよそ4分間かけて300℃に加熱した。そして300℃に温度を保持した状態でおよそ9分間のアニーリングを行った。その結果、アニーリング雰囲気の圧力がわずかに上昇した。これはポリバラキシレン膜中にまだ残っていた未反応ガスが放出されたのが原因といえる。その後、2分間かけてアニーリング温度を400℃に高めた。そして400℃に温度を保持した状態でアニーリングを行った。その結果、アニーリング雰囲気の圧力は上昇した。これはポリバラキシレンが分解されてガス化したためである。したがって、ポリバラキシレン膜16中から未反応なガスを完全に放出させるには、一例として、300℃で5分間のアニーリングを行えばよいことがわかった。

【0029】上記第1実施形態で説明した方法によって成膜したポリバラキシレン膜16をTDS分析した。その結果、150℃での原料ガスの脱離のピークは現れず、350℃以上の分解にともなうピークだけになった。

【0030】次に第3の発明に係る実施形態（以下、第3実施形態という）の一例を、図5によって説明する。なお、上記図1で説明したのと同様の構成部品には同一符号を付す。

【0031】この第3実施形態は上記図1によって説明した第1実施形態において、ポリバラキシレン膜16の成膜方法以外の工程は、上記第1実施形態の他の工程と同様である。したがって、ここではポリバラキシレン

ン膜16の別の成膜方法を説明する。

【0032】成膜装置(図示省略)には、一般的な減圧CVD装置を用い、原料としてはジバキシリレンを用いた。CVD時は、原料を200℃に加熱して昇華させ、途中、650℃でキシリレンモノマーに分解し、基板温度120℃の基板上に導入した。その結果、図5の(1)に示すように、およそ500nmの厚さのポリバキシリレン膜16が堆積された。この方法の特徴とする点は、先に説明した第1実施形態よりも成膜速度が速いことである。しかし第2実施形態より成膜速度は遅い。なお、成膜時の上記基板1の温度は、120℃に限定されることはなく、100℃以上300℃以下の範囲の所定温度に設定すればよい。そして成膜速度を考慮すると、好ましくは、100℃以上150℃以下の範囲の所定温度に設定する。

【0033】その後図5の(2)に示すように、上記処理を行った基板1を、250℃の窒素(N<sub>2</sub>)雰囲気中で10分間のアニーリングを行った。これにより、原料ガスの未反応状態のものがポリバキシリレン膜16中から除去された。上記アニーリングの温度は、250℃に限定されることはなく、150℃以上300℃以下の温度範囲の所定温度に設定すればよい。そして好ましくは、220℃以上270℃以下の温度範囲の所定温度に設定する。上記アニーリングの結果、ポリバキシリレン膜16は、さらに300℃まで加熱しても脱ガスを発生しない膜になっていた。

【0034】上記第3の発明では、基板1にポリバキシリレン膜16を成膜する際に、基板1の温度を100℃以上300℃以下の温度範囲の所定温度(上記第3実施形態では120℃)にして成膜し、その後、基板1を150℃以上300℃以下の温度範囲内の所定温度(上記第3実施形態では250℃)でアニーリングすることから、ポリバキシリレン膜16から未反応な原料ガスが脱離した。そのため、ポリバキシリレン膜16の内側には未反応な原料ガスが残らなかった。そして上記温度範囲に設定したのは、上記第1、第2の方法と同様の理由からである。

【0035】ここで、ポリバキシリレンの成膜速度と基板温度との関係を図6によって説明する。図6は、縦軸にポリバキシリレンの成膜速度を示し、横軸に基板温度を示す。

【0036】図6に示すように、温度が高くなるにしたがって、ポリバキシリレンの成膜速度は急激に減少することがわかった。したがって、アニーリングを併用するときは、ポリバキシリレンの成膜速度を考慮して、基板1の温度は100℃以上150℃以下にし、成膜速度の大幅な減少を抑えるのが好ましい。

【0037】また上記第3の発明では、成膜の時にある程度ガスが抜けているので、アニーリング時間が少なくて済み、ポリバキシリレン膜16の収縮によるスレ

スの影響、クラックなどの問題を回避できる特徴がある。

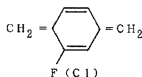
【0038】上記第1～第3実施形態において、ポリバキシリレン膜16の誘電率を下げるために、ポリバキシリレン膜16中に塩素またはフッ素を含ませることも可能である。

【0039】以下にその一例を説明する。以下の説明では、上記第1～第3実施形態で説明した構成部品と同様のものには同一符号を付けて説明する。

【0040】成膜装置には、一般的な減圧CVD装置を用い、原料としてはジバキシリレンを用いた。CVD時は、原料を175℃に加熱して昇華させた。次いでこの昇華させたガスとフッ素(F<sub>2</sub>)ガスまたは塩素(Cl<sub>2</sub>)ガスとを混合させて、650℃のファーンネス炉に導入した。ここでフッ素または塩素で一部分が置換されたキシリレンモノマーが生成された。それを次式に表す。

【0041】

【化1】



【0042】これを基板温度150℃の基板上に導入して、およそ500nmの厚さのフッ素または塩素を含むポリバキシリレン膜16を形成した。

【0043】ポリバキシリレン中にフッ素または塩素を含ませる成膜方法によって得られたポリバキシリレンを主体とする誘電体膜では、ポリバキシリレンのみの誘電体膜よりも誘電率を下げることができる。因みに、ポリバキシリレンのみの誘電体膜の誘電率よりも、フッ素または塩素を含むポリバキシリレン膜の誘電率のほうが最大1程度低くなる。

【0044】

【発明の効果】以上、説明したように本発明によれば、化学的気相成長法によってポリバキシリレンを主体とする誘電体膜を成膜する際に、基板を100℃以上300℃以下の温度範囲における所定温度に加熱することによって、成膜された誘電体膜を加熱処理しても未反応の原料ガスの脱離が無くなる。また、化学的気相成長法によってポリバキシリレンを主体とする誘電体膜を成膜した後、基板を150℃以上300℃以下の温度範囲における所定温度でアニーリングする方法によっても、成膜された誘電体膜を加熱処理しても未反応の原料ガスの脱離が無くなる。

【図面の簡単な説明】

【図1】第1の発明に係わる実施形態の製造工程図である。

【図2】第2の発明に係わる実施形態の製造工程図であ

る。

【図3】基板温度とアニーリング時間との関係図である。

【図4】アニーリング雰囲気圧力とアニーリング時間との関係図である。

【図5】第3の発明に係わる実施形態の製造工程図である。

【図6】ポリバラキシレンの成膜速度と基板温度との関係図である。

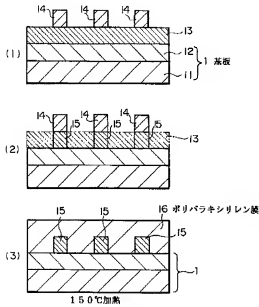
【図7】従来の製法による誘電体膜のTDS分析結果の説明図である。

【符号の説明】

1 基板

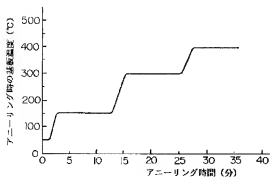
16 ポリバラキシレン膜

【図1】



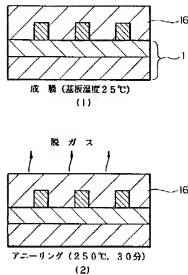
第1の発明に係わる実施形態の製造工程図

【図3】



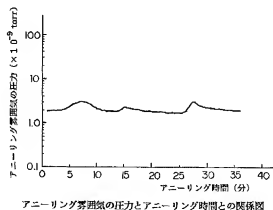
基板温度とアニーリング時間との関係図

【図2】



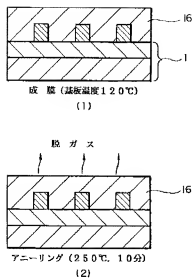
第2の発明に係わる実施形態の製造工程図

【図4】



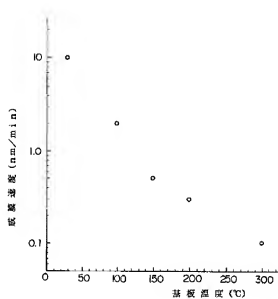
アニーリング雰囲気圧力とアニーリング時間との関係図

【図5】



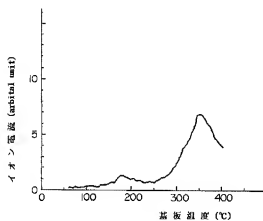
第3の発明に係る実施形態の製造工程図

【図6】



ポリバタキシレンの成膜速度と基板温度との関係図

【図7】



従来の製法による誘電体膜のTDS分析結果の説明図